

INHALT

1	Funktionsübersicht	1
2	Inbetriebnahme	1
3	Funktionsbeschreibung	2
3.1	DIL Schalter zur Dateneingabe.....	2
3.2	Hex Tastatur zur Dateneingabe.....	2
3.3	Doppel - LED Balken Anzeige zur Datenausgabe.....	3
3.4	Siebensegment Anzeige	3
3.5	LED Balken zur Stausanzeige	4
3.6	R2R Netzwerk zur DA Umsetzung.....	4
3.7	RC Tiefpass	4
3.8	RC Beschaltung für $\Sigma\Delta$ Wandler	5
3.9	Quarz Taktgenerator	5
3.10	RS 232 Schnittstelle	5
3.11	Erweiterungsport	6
3.12	Downloadanschluss	6
4	Bestückungsplan	6
5	Pinbelegung XC 9572, XC95108	7
6	Schaltplan.....	9

In dieser Beschreibung verwendete Bezeichnungen für Erzeugnisse, die zugleich ein eingetragenes Warenzeichen darstellen, wurden nicht besonders gekennzeichnet. Das Fehlen der © Markierung ist demzufolge nicht gleichbedeutend mit der Tatsache, dass die Bezeichnung als freier Warenname gilt. Ebenso wenig kann anhand der verwendeten Bezeichnung auf eventuell vorliegende Patente oder einen Gebrauchsmusterschutz geschlossen werden.

Die Informationen in dieser Beschreibung wurden sorgfältig überprüft und können als zutreffend angenommen werden. Dennoch sei ausdrücklich darauf verwiesen, dass die Firma Dr. Humer, Elektronische Systementwicklung weder eine Garantie noch die juristische Verantwortung oder irgendeine Haftung für Folgeschäden übernimmt, die auf den Gebrauch oder den Inhalt dieser Beschreibung zurückzuführen sind. Die in diesem Handbuch enthaltenen Angaben können ohne vorherige Ankündigung geändert werden. Die Firma Dr. Humer damit keinerlei Verpflichtungen ein. Dieses Handbuch beschreibt nur die Schaltung und Funktionen des CPLD - Boards, nicht aber den Aufbau und die Programmierung von CPLD - Bausteinen selbst. Es wird ergänzt durch Dokumentationen der Firma XILINX (www.xilinx.com) Bitte beachten Sie daher auch diese Dokumentationen.

Hinweis:

Das CPLD - Board darf nur mit einem geregelten und stabilisierten 5V - Netzteil betrieben werden. Solche Netzteile sind direkt bei der Firma Dr. Humer oder Firma Conrad, Neuhold oder anderen Elektronischen Fachgeschäften erhältlich.

Anmerkungen zum EMV - Gesetz für das CPLD - Board (XILINX):

Das CPLD - Board (CPLD 4) ist als Evaluierungsbord für den Laborbetrieb (zur Hardware- und Softwareentwicklung) bestimmt. Für diese Anwendungen ist eine CE Konformität nicht notwendig. Im Betrieb dürfen ohne weitere Schutzbeschaltung und Prüfung keine Leitungen von mehr als 3 m Länge an die Verbinder angeschlossen werden. Nach dem Einbau in ein Gerät oder bei Änderungen bzw. Erweiterungen an diesem Produkt muss die Konformität nach dem EMV - Gesetz neu festgestellt und bescheinigt werden. Erst danach dürfen solche Geräte in Verkehr gebracht werden.

Korrekturen, Fragen und Anregungen bitte an:

Dr. Josef Humer <mailto:hi@bulme.at> oder D.I. Bertram Geiger <mailto:gg@bulme.at>

1 Funktionsübersicht

Das Übungsboard verfügt über zahlreiche I/O Funktionen, wodurch die meisten Übungen ohne zusätzliche Geräte durchgeführt werden können. Für spätere Erweiterungen ist ein Expansionsport vorgesehen. Ein Oszilloskop ist als Ergänzung zu empfehlen.

Grundkomponenten des Übungsboards:

- „Downloadkabel“: 25 poliger Stecker zum Anschluss an den Parallelport des PC, entspricht dem „Xilinx Cable Parallel III“
- Pfostenleiste zur Verwendung des Boards als Downloadkabel für externe Anwendungen oder zum Betrieb des Boards mit einem externen Programmierer
- PLCC Sockel zur Aufnahme eines XC9572 oder XC95108 CPLD Bausteins
- Pfostenleiste zum Anschluss zusätzlicher externer Peripherie
- 10 DIL Schalter als Eingangssignale
- 16 Taster mit nachgeschaltetem Dekoder und Strobeimpuls Erzeugung
- 10 LED zur Dreifachanzeige von Ausgangszuständen: High, Low, High-Z (Input oder Tristate)
- 2 Siebensegmentanzeigen mit Dezimalpunkt
- Quarzgesteuerter Taktgenerator für 1 Hz, 10 Hz, 12 MHz
- 6 Bit R2R Netzwerk zur DA Wandlung
- Potentiometer zur Erzeugung einer variablen Gleichspannung
- Umschaltbares RC Netzwerk als Tiefpassfilter
- Einfaches RC Netzwerk zur Demonstration des $\Sigma\Delta$ Prinzips
- RS232 Pegelwandler und 9-poliger D-Sub Stecker zur Kommunikation mit einem PC

2 Inbetriebnahme

Das Board wird über das mitgelieferte Steckernetzteil mit 5V / 1A versorgt. Sollte ein anderes Netzteil verwendet werden, ist auf richtige Polung (Innenleiter = plus) und eine genaue Einhaltung der Versorgungsspannung von 5V zu achten. Unterspannung und mangelnde Siebung bewirken Probleme bei der Programmierung.

Nach Anlegen der Versorgung muss sich bei nicht konfiguriertem bzw. gelöschtem CPLD folgender Zustand einstellen:

- Die LED Doppelreihe leuchtet mit mittlerer Helligkeit
- Die Siebensegment Anzeigen sind dunkel
- Bei der LED Reihe zur Statusanzeige blinkt die unterste LED (10) mit 1 Hz:
Versorgung ok und Taktgenerator ok

Sollte das CPLD noch von einem früheren Versuch konfiguriert sein, so muss auf jeden Fall LED (10) blinken, die übrigen Anzeigen sind dann von der jeweiligen Konfiguration bestimmt.

Blinkt LED (10) nicht, so „steht“ der als Tastaturdekoder und Taktgeber arbeitende Mikrokontroller AT29C2051.

Abhilfe: Durch Ziehen des Versorgungssteckers ein Reset erzeugen, zuvor auch die Parallelschnittstelle abstecken da die „Versorgung“ des Mikrokontrollers über die Parallelschnittstelle ausreichen kann. Sollte das nicht helfen liegt ein Hardwaredefekt des Netzteils oder des Übungsboards vor.

Bei Konfigurationsproblemen:

- Parallelkabel überprüfen bzw. tauschen.
- Versorgungsspannung direkt an der Platine auf exakte 5V prüfen, ev. auch mittels Oszilloskop (Siebung).

3 Funktionsbeschreibung

3.1 DIL Schalter zur Dateneingabe

10 Schalter zur Eingabe von Logiksignalen: „ON“ ⇒ LOW

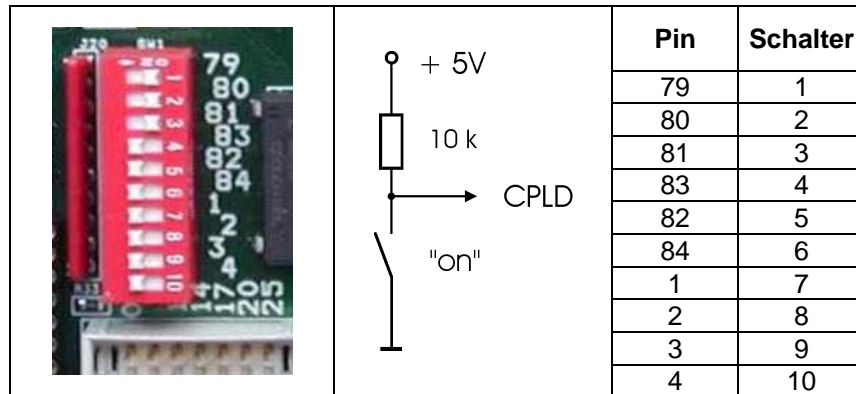


Bild 1: DIL Schalter, Schaltung und PIN Belegung

3.2 Hex Tastatur zur Dateneingabe



Bild 2: Hex Tastatur

Die 16 Einzeltasten der Tastatur werden vom uC U7 (80C2051) dekodiert, welcher vier binär Kodierte Datensignale („A - D“) und einen Strobeimpuls („Taste“) liefert. Der Strobeimpuls ist nur während eines Tastendrucks aktiv, die vier Datensignale bleiben bis zu einem erneuten Tastendruck gespeichert und werden zusätzlich an der Status LED Anzeige signalisiert.

Pin	Signal	Funktion
43	T0	Bit 0 (LSB)
41	T1	Bit 1
40	T2	Bit 2
37	Te	Bit 3 (MSB)
77	TASTE	Strobe

Bild 3: Kodiertes Tastatursignal

3.3 Doppel - LED Balken Anzeige zur Datenausgabe

2 x 10 Leuchtdioden zur Signalisierung von Ausgangssignalen.

Um Tristate Ausgänge oder Eingänge von Ausgängen mit Low Pegel unterscheiden zu können, wurden jedem Signal zwei LED zugeordnet:

Linke LED	Rechte LED	Zustand
EIN	AUS	High
AUS	EIN	Low
EIN	EIN	Tristate oder Eingang

Bild 4: Dreiwertiges Anzeigeformat

Im hochohmigen Zustand leuchten beide LED, allerdings mit leicht verminderter Helligkeit.

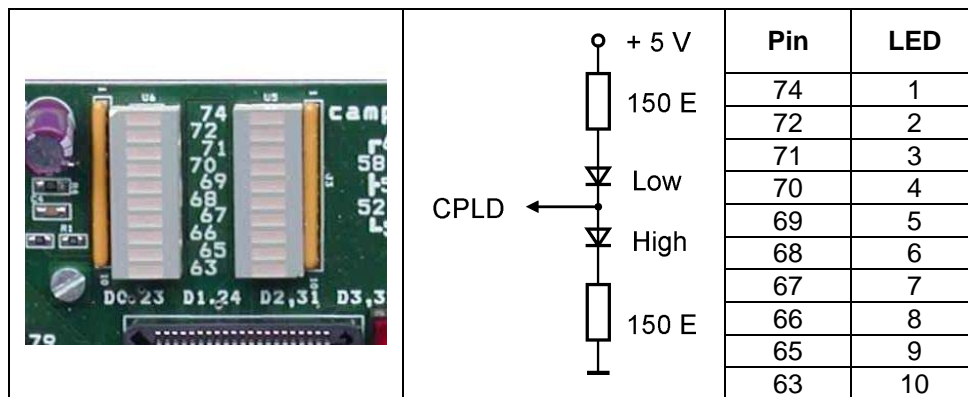


Bild 5: LED Balkenanzeige, Schaltung und PIN Belegung

3.4 Siebensegment Anzeige

Zwei undekodierte Siebensegment Anzeigen mit Dezimalpunkt

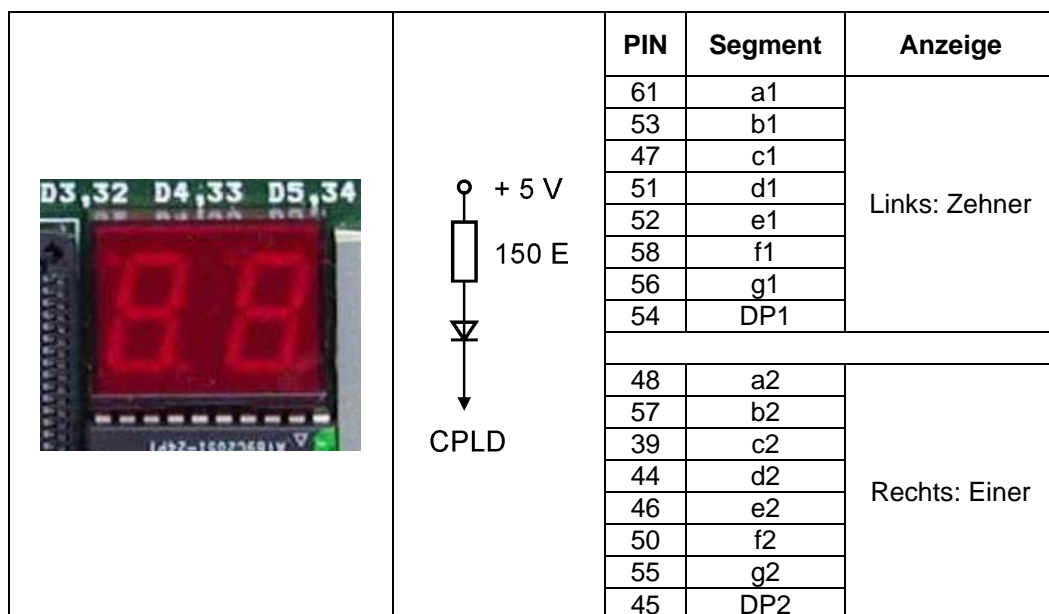


Bild 6: Siebensegment Anzeige, Schaltung und PIN Belegung

3.5 LED Balken zur Stausanzeige

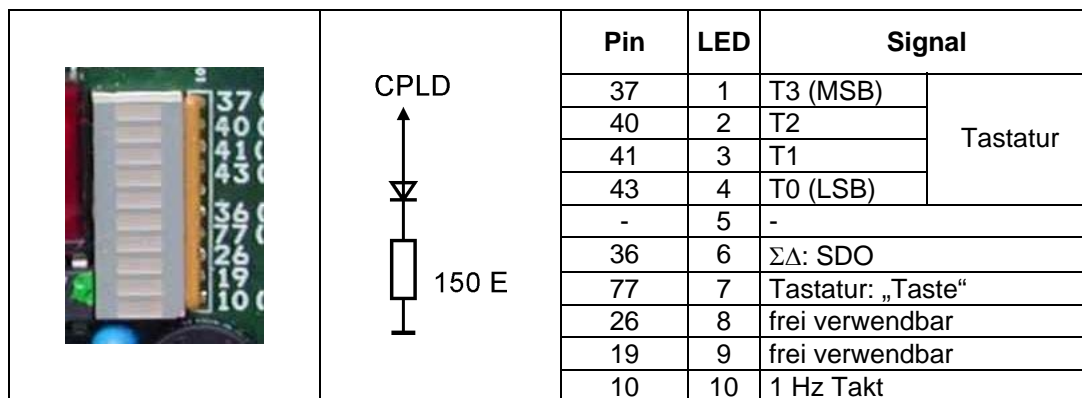


Bild 7: LED Statusanzeige, Schaltung und PIN Belegung

3.6 R2R Netzwerk zur DA Umsetzung

Sechsstufiges R2R Netzwerk für einfache 6-Bit AD Umsetzung.

Die Ausgangsspannung kann an einer BNC Buchse abgegriffen und am Oszilloskop dargestellt werden. Der Ausgangsspannungsbereich beträgt unbelastet 0 ... ca. 4 V

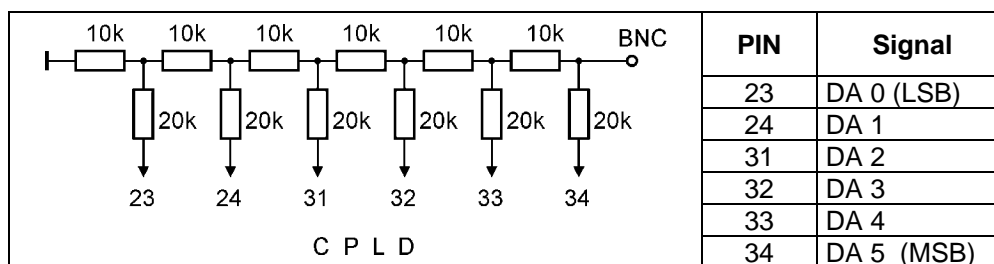


Bild 8: R2R Netzwerk, Schaltung und PIN Belegung

3.7 RC Tiefpass

Für PWM Übungen ist ein umschaltbarer RC Tiefpass vorgesehen.

Das gefilterte Signal kann an einer BNC Buchse abgegriffen und am Oszilloskop dargestellt werden.

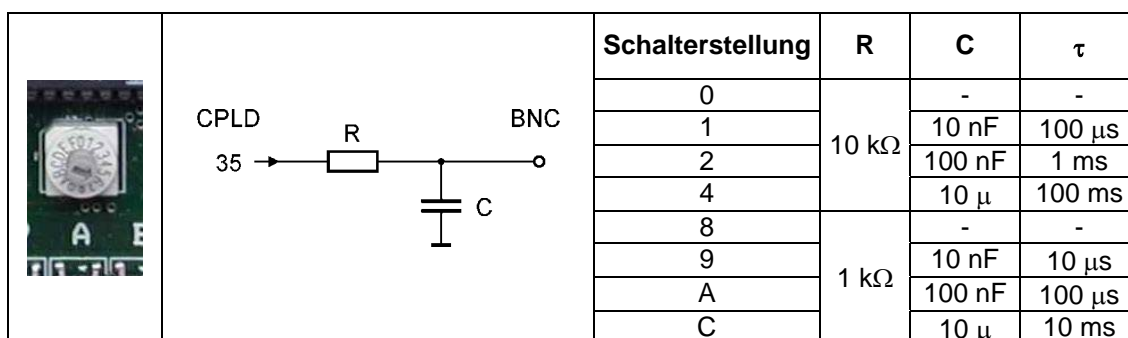


Bild 9: RC Tiefpass, Schaltung und Einstellung

3.8 RC Beschaltung für $\Sigma\Delta$ Wandler

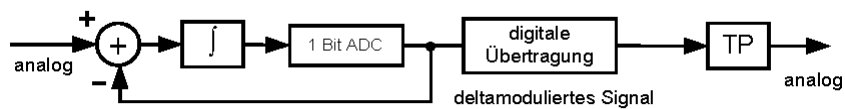


Bild 10: Blockschaltbild eines $\Sigma\Delta$ Wandlers

Mit der nachstehenden passiven Beschaltung kann das Funktionsprinzip des $\Sigma\Delta$ Wandlers gezeigt werden. Die zu messende Spannung liefert ein fix eingebautes Potentiometer R_0 . Der Summierer - Integrator wird durch eine RC Kombination (R_1 , R_2 , C) nachgebildet, R_2 gleicht Asymmetrien der Schaltung aus. Die Funktion des 1 Bit ADC (Komparator + D-FF) übernimmt eine normale Makrozelle des CPLD.

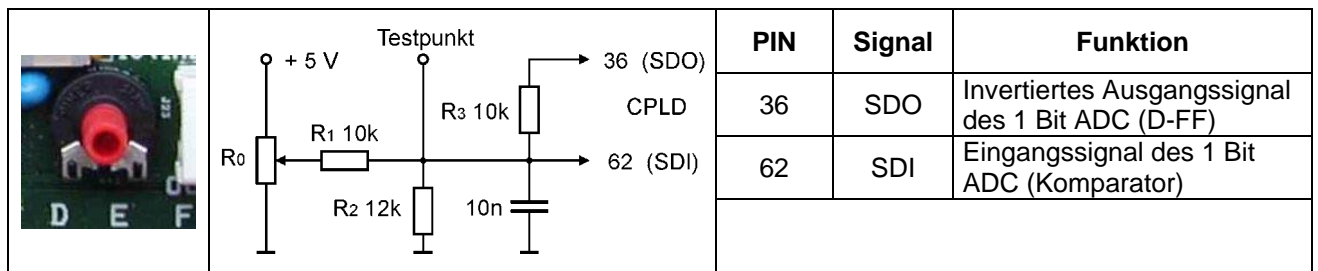


Bild 11: Schaltung und PIN Belegung der $\Sigma\Delta$ Beschaltung

3.9 Quarz Taktgenerator

Als interne Zeitbasis dient ein 12 MHz Quarzoszillator. Dieser wird vom uC U7 (80C2051) auf 10 Hz und auf 1 Hz heruntergeteilt. Es stehen also 3 Taktfrequenzen zur Verfügung:

Frequenz	PIN
12 MHz	12
10 Hz	9
1 Hz	10

Bild 12: Verfügbare Taktfrequenzen

3.10 RS 232 Schnittstelle

Für Übungen zur seriellen Schnittstelle (RS 232) ist ein Baustein MAX 232 zur Pegelumsetzung vorgesehen. Damit kann über ein 1:1 durchverbundenes 9-poliges Kabel eine Kommunikation mit dem PC hergestellt werden. Auf der PC Seite reicht dazu die in Windows integrierte Terminalemulation Hyperterm.

PIN	Funktion	D-Sub Stecker
75	TXD	2
76	RXD	3

Bild 13: RS 232 Pinbelegung

3.11 Erweiterungsport

Für eigene Erweiterungen ist ein Pfostensteckverbinder mit 10 freien Ports sowie 5 V Versorgung vorhanden.

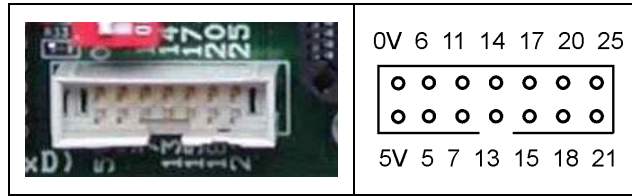



Bild 14: Erweiterungsport, Pinbelegung

3.12 Downloadanschluss

Das Interface zum Download der Konfigurationsdaten des CPLD ist gemäß den Xilinx Spezifikationen zum „Parallel Cable III“ ausgeführt. Die Verbindung zum PC erfolgt über ein 1:1 durchverbundenes 25 poliges Kabel.



Im Normalbetrieb sind im nebenstehenden Jumperfeld alle Jumper gesteckt. Das Entfernen der Jumper bietet folgende Möglichkeiten:

- Verwendung des Übungsboards als „Downloadkabel“ für CPLD / FPGA auf anderen Platinen
- Verwendung eines fremden „Downloadkabels (z.B. USB) für das vorliegende Übungsboard

Bild 15: Konfiguration des „Downloadkabels“

4 Bestückungsplan

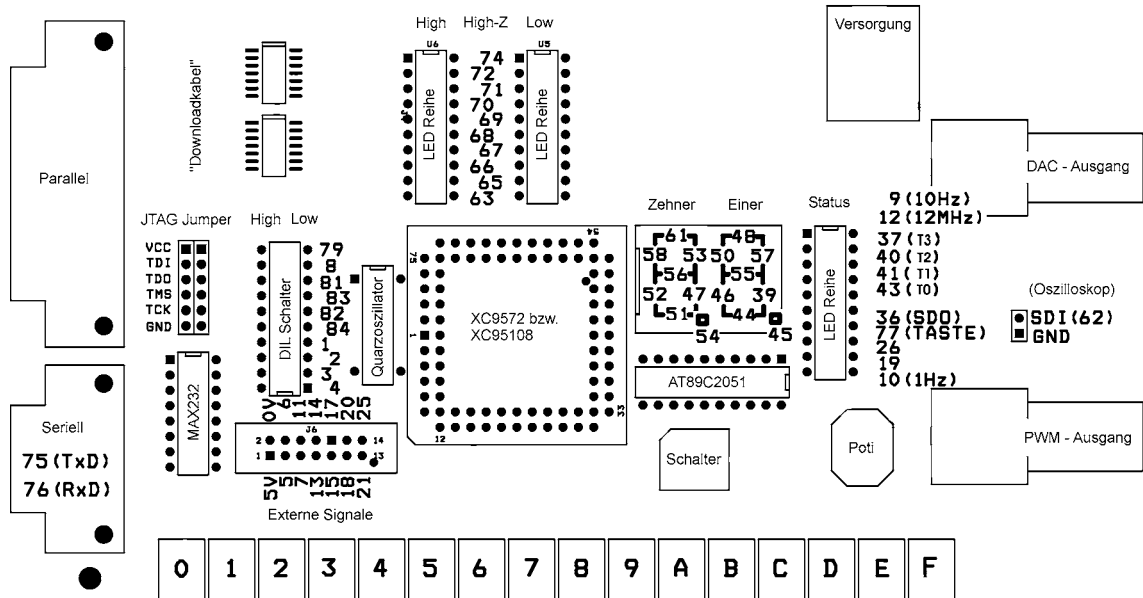


Bild 16: Vereinfachter Bestückungsplan mit Pinzuordnung der I/O Elemente

5 Pinbelegung XC 9572, XC95108

Pin	Kurzbezeichnung	E/A	Funktionsbeschreibung
23	DA0	A	DA, R2R Netzwerk: LSB
24	DA1	A	...
31	DA2	A	...
32	DA3	A	...
33	DA4	A	...
34	DA5	A	DA, R2R Netzwerk: MSB
10	T1Hz	E	Takt: 1 Hz
9	T10Hz	E	Takt: 10 Hz
12	T12M	E	Takt: 12 MHz
43	T0	E	Tastatur: LSB
41	T1	E	...
40	T2	E	...
37	T3	E	Tastatur: MSB
77	TASTE	E	Tastatur: Strobe
61	a1	A	7-Segment links: "Zehner"
53	b1	A	...
47	c1	A	...
51	d1	A	...
52	e1	A	...
58	f1	A	...
56	g1	A	...
54	DP1	A	...
48	a2	A	7-Segment rechts: "Einer"
57	b2	A	...
39	c2	A	...
44	d2	A	...
46	e2	A	...
50	f2	A	...
55	g2	A	...
45	DP2	A	...
74	L1	A	LED Doppelreihe: oberste LED (links = High)
72	L2	A	...
71	L3	A	...
70	L4	A	...
69	L5	A	...
68	L6	A	...
67	L7	A	...
66	L8	A	...
65	L9	A	...
63	L10	A	LED Doppelreihe: unterste LED
79	IN1	E	DIP Schalter (ON = Low): oberster Schalter
80	IN 2	E	...
81	IN3	E	...
83	IN 4	E	...
82	IN 5	E	...
84	IN 6	E	...
1	IN 7	E	...
2	IN 8	E	...
3	IN 9	E	...
4	IN10	E	DIP Schalter (ON = Low): unterster Schalter
75	TxD	A	Serielle Schnittstelle: TxD (D-Sub, Pin 2)
76	RxD	E	Serielle Schnittstelle: RxD (D-Sub, Pin 3)
62	SDI	E	Eingang
36	SDO	A	$\Sigma\Delta$ Ausgang
35	PWM	A	RC – Tiefpassfilter an BNC Buchse
26	ExLED2	A	LED
19	ExLED1	A	LED

Pin	Kurzbezeichnung	E/A	Funktionsbeschreibung
23	DA0	A	DA, R2R Netzwerk: LSB
	+ 5 V	-	Ext.Stecker, Pin: 1
	0 V	-	...
5	Ex1	E/A	...
6	Ex2	E/A	...
7	Ex3	E/A	...
11	Ex4	E/A	...
13	Ex5	E/A	...
14	Ex6	E/A	...
15	Ex7	E/A	...
17	Ex8	E/A	...
18	Ex9	E/A	...
20	Ex10	E/A	...
21	Ex11	E/A	...
25	Ex12	E/A	Ext.Stecker, Pin: 14

Bild 17: Gesamte Pinbelegung

Hinweis:

Standardmäßig wird das Board mit dem CPLD Baustein XC9572 (72 Makrozellen) ausgeliefert. Der Baustein XC9572 kann jederzeit gegen die Type XC95105 (108 Makrozellen) getauscht werden.

Die Pinbelegung ändert sich dadurch nicht, es stehen jedoch (intern) 36 Makrozellen mehr zur Verfügung.

6 Schaltplan

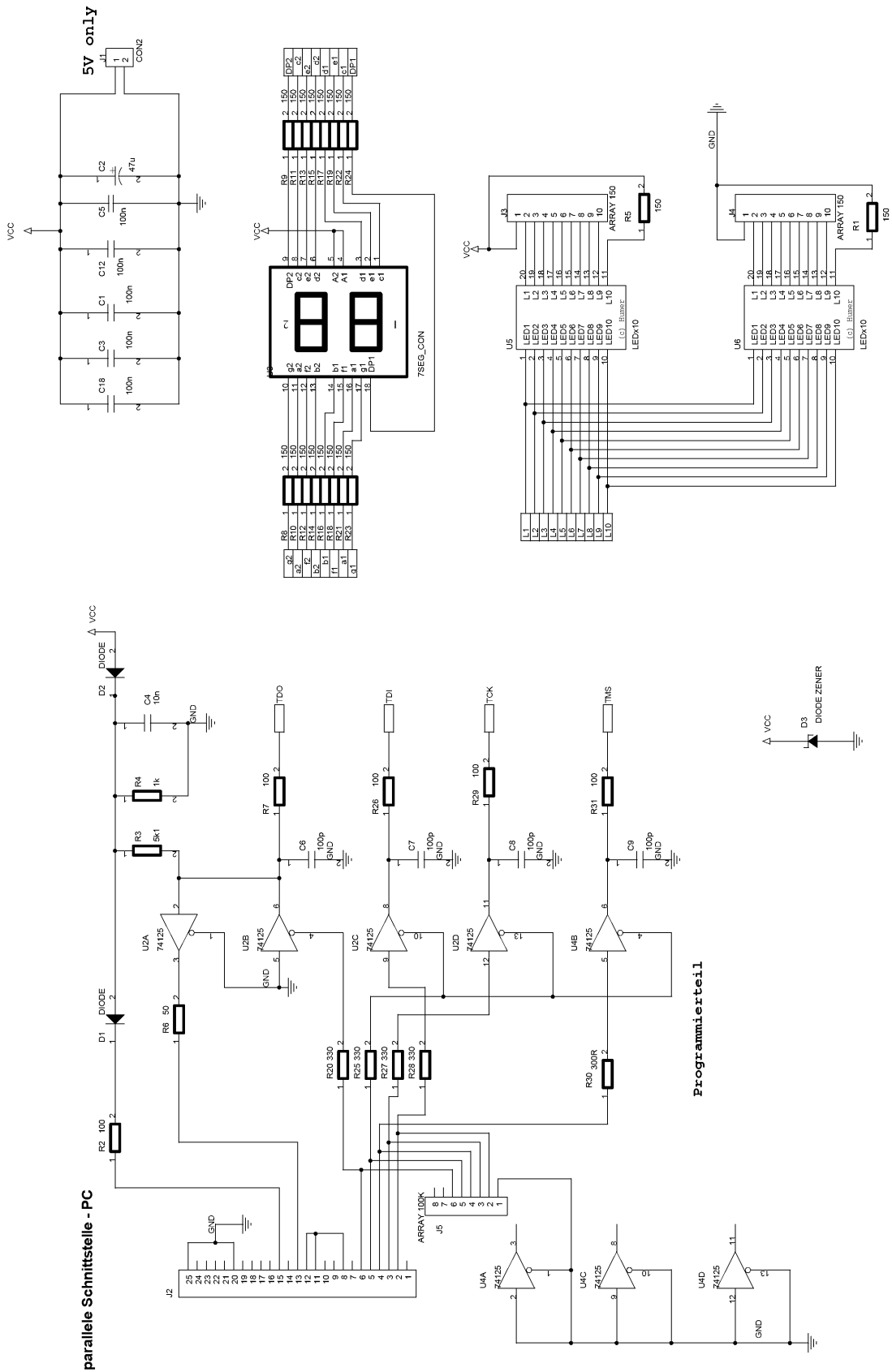
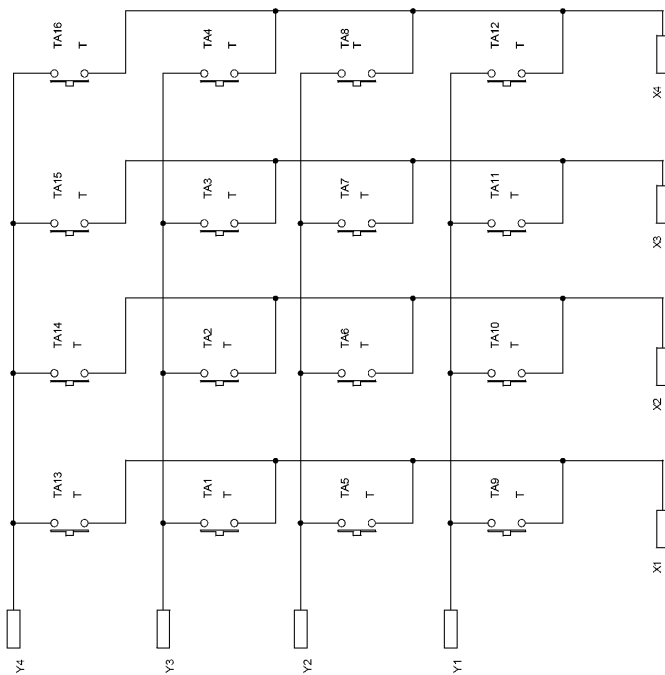


Bild 18: Teilschaltung 1/3

Tastaturmatrix



6 bit - DA-Umsetzer

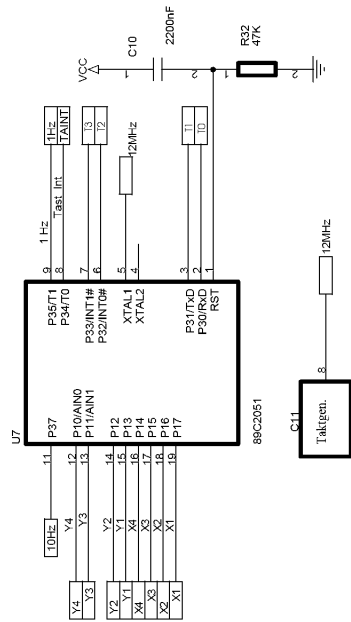
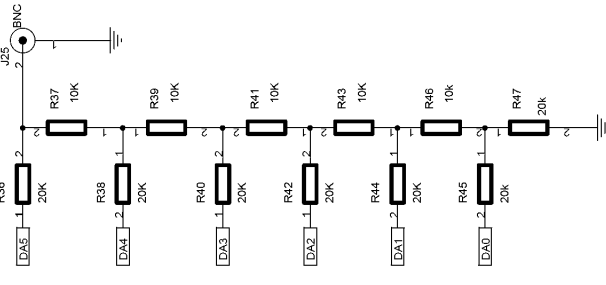
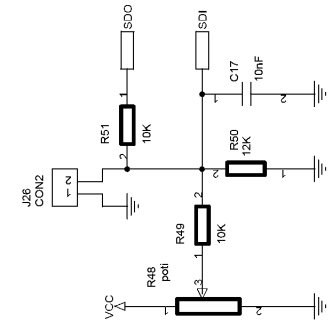
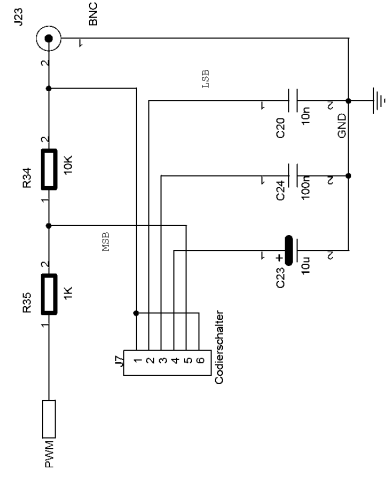
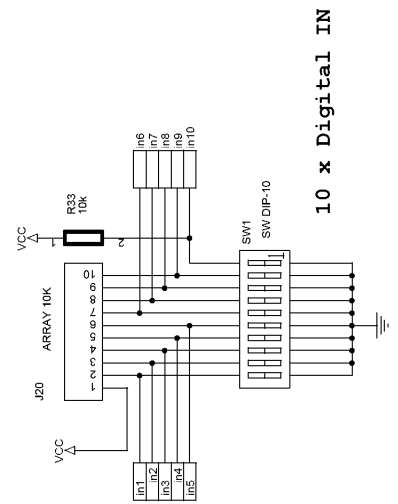
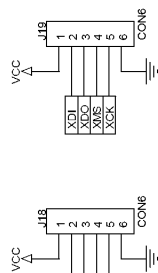


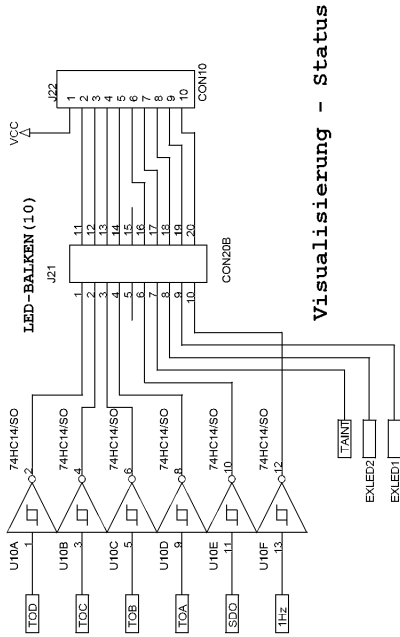
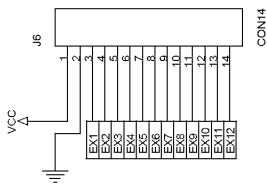
Bild 19: Teilschaltung 2/3



Programmer Intern/Extern

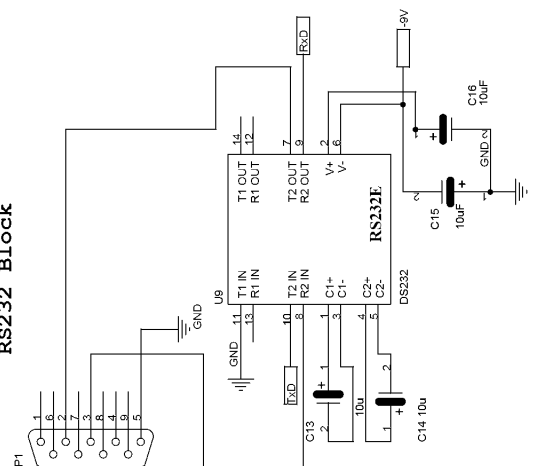


I/O-Erweiterung



Visualisierung - Status

RS232 Block



XILINX-CPLD

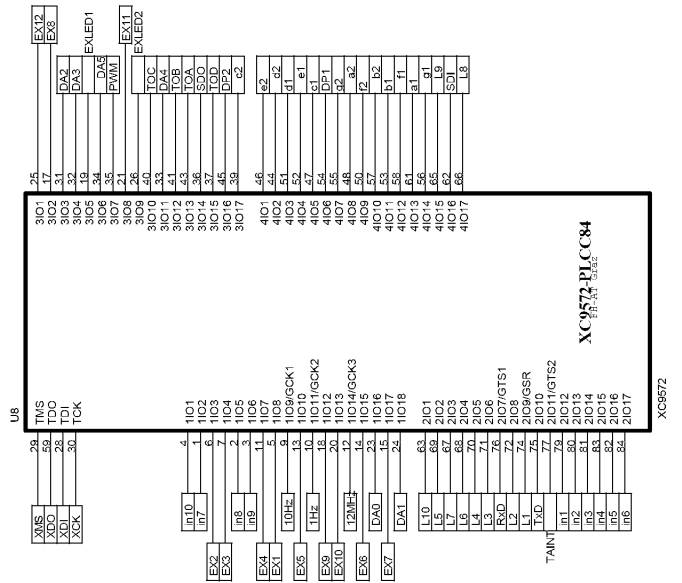


Bild 20: Teilschaltung 3/3